

INSPECTING METHOD OF ONE CHIP RETICLE MASK

Publication number: JP59108318

Publication date: 1984-06-22

Inventor: NISHIMURO SUNAO; OOTSUKA HIROSHI; FUNATSU HIROYUKI; ITOU YOSHIO

Applicant: OKI ELECTRIC IND CO LTD

Classification:

- international: G03F1/00; G03F1/00; (IPC1-7): G03F1/00

- european: G03F1/00Z

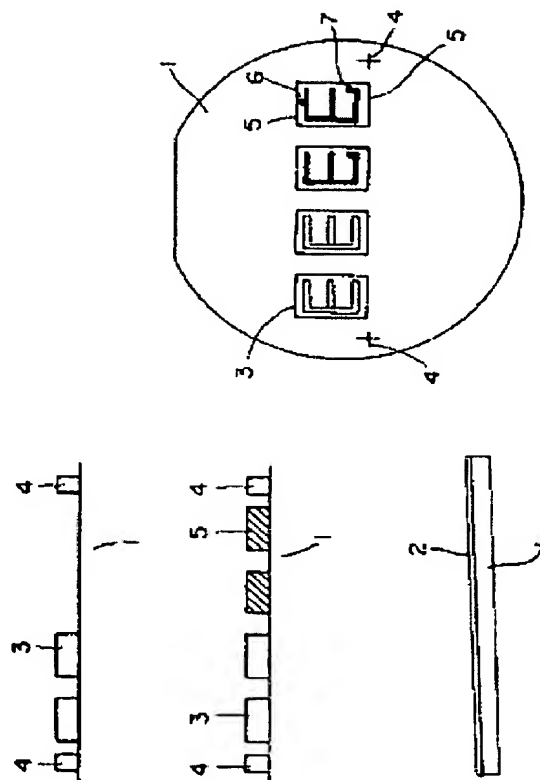
Application number: JP19820217695 19821214

Priority number(s): JP19820217695 19821214

Report a data error here

Abstract of JP59108318

PURPOSE: To discriminate a defect as one on a reticle mask or one on a wafer by forming a predetermined pattern and a mark for aligning the mask by using the non-defective reticle mask previously inspected, forming a pattern for inspection to a next section to the pattern and discriminating a different signal between both patterns as the defect when the signal is generated. **CONSTITUTION:** An oxide film 2 is grown on the wafer 1, and the oxide film patterns 3 and the marks 4 for aligning the mask are formed by using the non-defective reticle mask previously inspected. The same resist patterns 5 as the oxide film patterns 3 are formed to sections adjacent to the oxide film patterns 3 by using the marks 4 for aligning the mask, and the patterns 5 are compared and inspected by using a wafer automatic defect inspecting machine, which compares the same positions in chips and discriminates the different signal as the defect, by utilizing the periodicity of the patterns. For example, the defect 6 of the resist pattern represents one on the wafer because it is only one, and the defect 7 of the resist pattern is one on the mask because it is generated on both resist patterns.



Data supplied from the *esp@cenet* database - Worldwide

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-108318

⑤ Int. Cl.³
H 01 L 21/30
G 03 F 1/00

識別記号

庁内整理番号
Z 6603-5F
7447-2H

⑬ 公開 昭和59年(1984)6月22日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 1 チップレタイクルマスクの検査方法

⑯ 特 願 昭57-217695

⑰ 出 願 昭57(1982)12月14日

⑱ 発 明 者 西室直

東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

⑲ 発 明 者 大塚博

東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

⑲ 発 明 者 舟津博幸

東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

⑳ 発 明 者 伊東由夫

東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

㉑ 出 願 人 沖電気工業株式会社

東京都港区虎ノ門1丁目7番12
号

㉒ 代 理 人 弁理士 菊池弘

明 細 書

1. 発明の名称

1 チップレタイクルマスクの検査方法

2. 特許請求の範囲

ウエハに酸化膜などを形成してあらかじめ検査済みの無欠陥のレタイクルマスクを用いて所定のパターンおよびマスク合せ用のマークを形成し、このマークを用いて上記パターンの隣にチェックするパターンを形成し、上記二つのパターンをウエハ自動欠陥検査機を用いて比較検査を行なつて差異信号を欠陥として識別することを特徴とする1チップレタイクルマスクの検査方法。

3. 発明の詳細な説明

(技術分野)

この発明は、ステツパに用いる1チップレタイクルマスク上の置換などの欠陥をウエハにパターンを転写したのち自動的に検査する1チップレタイクルマスクの検査方法に関する。

(従来技術)

1 チップレタイクルマスクそのものの欠陥の有

無を検査する方法としては、マスク製作時に用いるパターンデータとマスク自動欠陥検査機を組み合わせる方法がある。

また、レタイクルマスク上に2個以上のチップがある場合はマスク自動欠陥検査機でデータを用いずにマスクパターンの周期性を利用してチップ内の同一個所を比較して差異信号を欠陥として認識する方法で検査可能である。

これと同様の方法で、ステツパにマスクをセットしたのちウエハにパターンを転写し、そのウエハをウエハ自動欠陥検査機を用いて比較することは可能であるが、1チップレタイクルマスクを同様の方法で行なう場合は同一レタイクルマスクを用いてウエハにパターンを転写するため、欠陥が発生しても共通欠陥となり、検出は不可能であり、従来はウエハに2個以上のパターンを転写し、顕微鏡を用いて目視で2チップの比較を行ない、同一個所に生じた欠陥をマスク上の欠陥として判定していた。

したがって、検査に要する時間が10分×10

チップで30～45分と長くなるとともに、長時間検査による疲労、欠陥の見落としなどの欠点があつた。

(発明の目的)

この発明は、これらの欠点を解決するためになされたもので、V-LSI製造工程における、スループットの向上と歩留向上を計ることのできる1チップレタイクルマスクの検査方法を提供することを目的とする。

(発明の構成)

この発明の1チップレタイクルマスクの検査方法は、ウェハに酸化膜などを形成して、あらかじめ検査済みの無欠陥レタイクルマスクを用いて所定のパターンおよびマスク合せ用のマークを形成し、このマークを用いて上記パターンの隣にチェックするパターンを形成し、この二つのパターンをウェハ自動欠陥検査機を用いて比較検査を行なつて差異信号を欠陥として識別するようにしたものである。

(実施例)

3

方のレジストパターンに発生しており、これはマスク上の欠陥である。これを酸化膜パターン3と比較することにより、欠陥のある部分で差異信号が発生し、検出を行なうとともに、欠陥の位置、個数などを座標で確認することができる。

これにより、レタイクルマスク上の欠陥であるか、またはウェハ上の欠陥であるかを識別することが可能である。

従来、ステツパに1チップレタイクルをセットしたのちの検査方法は、顕微鏡を用いて目視で検査する方法しかなかったが、この発明では、あらかじめ無欠陥の酸化膜パターンを作り、隣に同一マスクのレジストパターンを作ることにより、パターンの周期性を利用して欠陥の比較検査を行なうウェハ自動欠陥検査機を用いて検査することが可能となり、スループットの向上および欠陥の見落としを防ぐなどの利点がある。

上記第1の実施例では、参照側の酸化膜などで作つたLSIチップのパターンを無欠陥に作り上げたが、第2の実施例では、あらかじめ白ピンホ

5

以下、この発明の1チップレタイクルマスクの検査方法の実施例について図面に基づき説明する。第1図ないし第3図はその一実施例の検査順序を説明するための図であり、第4図は第3図の平面図である。

これらの第1図ないし第4図において、まず第1図に示すように、ウェハ1に酸化膜2を成長したのち、周知のホトリソグラフィ法により、あらかじめ検査済みの無欠陥レタイクルマスクを用いて第2図に示すように、酸化膜パターン3およびマスク合せ用マーク4を形成する。

次に、第3図に示すように、酸化膜パターン3の隣にマスク合せ用マーク4を用いて酸化膜パターン3と同一のレジストパターン5を形成し、これをパターンの周期性を利用し、チップ内の同一個所を比較して差異信号を欠陥として識別するウェハ自動欠陥検査機を用いて比較検査を行なう。

たとえば、第4図に示すように、レジストパターンの欠陥6は1個しかないため、これはウェハ上の欠陥であり、レジストパターンの欠陥7は両

4

ール、黒ピンホールが無いことを確認したマスクで参照側のチップを作る。

この場合には、塵埃によるウェハ段階での欠陥が発生していてもよい。次に、このマスクを実際に使用すると共に洗浄を行つてマスクのセットをする。

このようにすると、たとえマスク上に塵埃などが付着しても、参照用のチップとは異なつた位置に欠陥が発生するので、両者は別々の場所に欠陥が発生しているため、出来上つた検査用のウェハの両チップのパターンを欠陥自動検査機で比較すると、レタイクル上の欠陥およびウェハ上のそれぞれの欠陥が検出可能となる。

さらに、短時間に検査を行う方法としてこれらの欠陥は主として、ポジレジスト工程では黒ピンホールであるから、両チップの黒ピンホールの信号のうち、被検査チップの黒ピンホールのみを取り出すと検査時間の短縮が計れる。また、これらの比較検査する組合せの数を増すと信頼度が向上する。

6

(発 明 の 効 果)

以上のように、この発明の1チップレタイクルマスクの検査方法によれば、ウエハ酸化膜などを形成し、あらかじめ検査済みの無欠陥のレタイクルマスクを用いて所定の回路などのパターンとマスク合せ用マークを形成し、このパターンの隣にこのマスク合せ用マークを用いて検査用のパターンを形成し、この二つのパターンをウエハ自動欠陥検査機を用いて比較検査を行ない、両者間に差異信号が出ると欠陥として識別するようにしたので、レタイクルマスク上の欠陥からウエハ上の欠陥であるか否かを識別でき、V-LSI製造工程におけるスループットの向上と歩留向上が可能となるものである。

4. 図面の簡単な説明

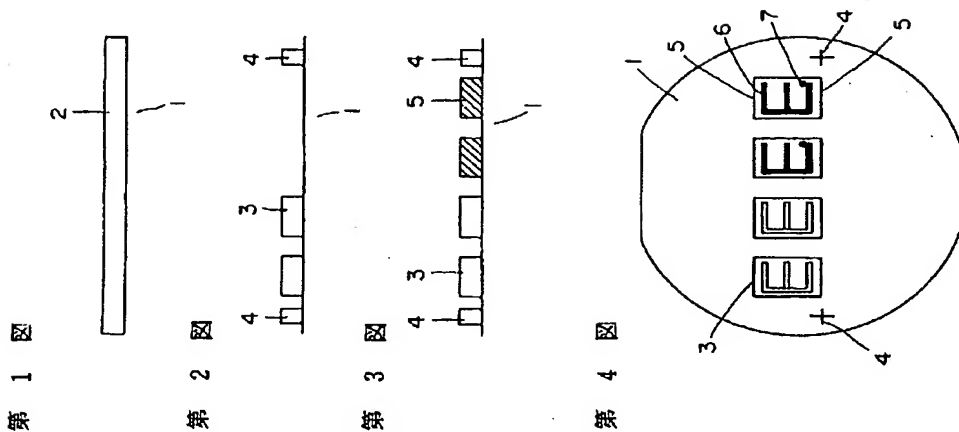
第1図ないし第3図はそれぞれこの発明の1チップレタイクルマスクの検査方法の一実施例の検査順序を説明するための図、第4図は第3図の平面図である。

1…ウエハ、2…酸化膜、3…酸化膜パターン、

4…マスク合せ用マーク、5…レジストパターン、
6…ウエハ上の欠陥、7…マスク上の欠陥。

特許出願人 沖電気工業株式会社

代理人 弁理士 菊 池



手 続 補 正 書

昭和 58年 10月 25日

特許庁長官 若 杉 和 夫 殿

1. 事件の表示

昭和 57 年 特 許 願 第 2 1 7 6 9 5 号

2. 発明の名称

1 チップレティクルマスクの検査方法

3. 補正をする者

事件との関係 特 許 出 願 人

(029) 沖電気工業株式会社

4. 代 理 人

〒105 東京都港区虎ノ門一丁目2番20号 第12特許審判部

弁理士 菊 池 弘

コード第6568号 電話 501-2453 (代表)

5. 補正命令の日付 昭和 年 月 日 (自発)

6. 補正の対象

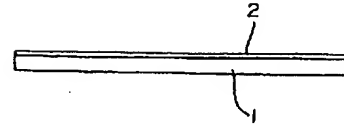
図 面

7. 補正の内容

- (1) 別紙の通り図面第1図および第4図を訂正する。

方 式 審 査 (齊 藤)

第 1 図



第 4 図

